

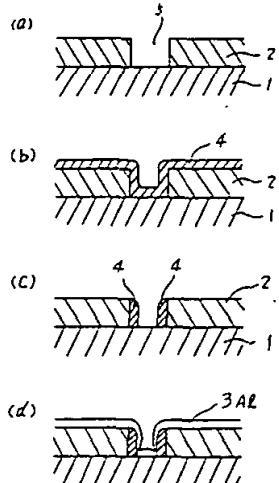
144 E 587

**(54) FORMATION OF CONTACT ELECTRODE**

(11) 62-213120 (A) (43) 19.9.1987 (19) JP  
 (21) Appl. No. 61-55436 (22) 13.3.1986  
 (71) FUJITSU LTD (72) YASUO ARIMA(1)  
 (51) Int. Cl<sup>1</sup>. H01L21/28, H01L21/88

**PURPOSE:** To enable forming a good connection contact electrode in a minute contact hole by coating a conductive film on the surface of a semiconductor substrate after the contact hole is opened in an insulating material layer and a high melting point metal or its silicide is coated on the wall of the hole.

**CONSTITUTION:** An SiO<sub>2</sub> layer 2 approx. 1μm thick is deposited by CVD on the surface of an Si substrate 1 and a contact hole 5 is opened at the position where an contact electrode is to be formed. Then, a silicide layer 4 is deposited by CVD or PVD, the surface of the Si substrate in this state is RIE-treated in the atmosphere of a chloride series gas and the silicide 4 is left on the side wall of the hole. Then, an Al layer 3 approx. 1μm thick of a wiring layer is formed by sputtering. This forms the good contact electrode only by slightly increasing the number of processes and a problem such as a disconnection or the increase of a contact resistance can be solved.



⑨日本国特許庁 (JP) ⑩特許出願公開  
 ⑪公開特許公報 (A) 昭62-213120

⑫Int.Cl.  
 H 01 L 21/28  
 21/88

識別記号 執内整理番号  
 N-7638-5F  
 6708-5F

⑬公開 昭和62年(1987)9月19日

審査請求 未請求 発明の数 1 (全4頁)

⑭発明の名称 コンタクト電極形成法

⑮特 頂 昭61-55436

⑯出 願 昭61(1986)3月13日

⑰発明者 有馬 康雄 川崎市中原区上小田中1015番地 富士通株式会社内  
 ⑱発明者 富樫 光浩 川崎市中原区上小田中1015番地 富士通株式会社内  
 ⑲出願人 富士通株式会社 川崎市中原区上小田中1015番地  
 ⑳代理人 弁理士 井桁 貞一

### 明細書

#### 1. 発明の名称

コンタクト電極形成法

#### 2. 特許請求の範囲

半導体基板上を被覆する遮絶材料層間にコンタクトホールを穿孔し、

該コンタクトホールの側壁に高融点金属或いはそのシリサイド層を被覆した後、

前記半導体基板表面に導電体皮膜層を被覆形成することを特徴とするコンタクト電極形成法。

#### 3. 発明の詳細な説明。

##### (概要)

コンタクトホール開口後、丸盤に高融点金属或いはそのシリサイド(以下、シリサイドで代表)を被覆し、例えば $\mu$ mである配線層を被覆する。丸盤付近で $\mu$ mの被覆性が十分でない点はシリサイド層が存在することで補われる。形成されたコンタクト電極は第1図の如き形状で、1はS1基板、

2はS1O<sub>x</sub>、3はA1層、4はシリサイドである。

##### 【産業上の利用分野】

本発明は半導体基板回路等のコンタクト電極の形成に関わり、特に、微細なコンタクトホールに接続の良好なコンタクト電極を形成する方法に関する。

近年、集積回路装置の高集成化、パターンの微細化が進み、コンタクトホールも微小なものになったため、コンタクト電極の形成に困難が生じている。即ち、コンタクトの形成や配線パターン形成に通常利用されるAl-Si合金やAl基体のスパッタリング層は被覆性が劣るので、コンタクトホールの口径が小になるとホール内部で堆積層が不連続になったり、極端な場合にはホール内に堆積しないといった不都合が起こっている。

これに対処すべく、導電体材料でコンタクトホールを充填したのち配線層を被覆形成する、或いはコンタクトホールの形状を漏斗型にして被覆性を改善する等、様々な改善策が講じられているが、

いづれも工程数の増加を伴い、製造コスト上昇の一因となっている。

従って工程数増加の無い、或いは僅かな増加の、微小コンタクト電極の形成法が開発されれば、製造回路の製造に貢献するところ大である。

#### (従来の技術)

コンタクトホール内部の被覆性に対し特別な配慮がなされない場合、コンタクト電極は第3図の如き形状に形成される。

即ち、S1基板1を焼結材であるS1O<sub>2</sub>層2が被覆し、コンタクト電極を形成すべき位置にコンタクトホールが開口され、A1皮膜3がスペッタリングによって被覆形成されている。

このようなコンタクト電極では、A1膜の被覆性が悪いことから、図の矢印の箇所のA1膜が薄くなり、極端な場合には孔底のA1とS1O<sub>2</sub>層上のA1とが不連続になって、電極が形成されないことが起こる。更に、口径が小であると底面にA1が堆積せず、コンタクトがとれないこともある。

いものにするための処理を作えば、更に大幅な増加となる。また、コンタクトホールのサイズも大きくなる。

#### (発明が解決しようとする問題点)

本発明の目的はコンタクト電極体と配線層をA1のバッタリングで形成する場合にも、断線のおそれなく、且つ工程数増加の僅かなコンタクト電極の形成方法を提供することである。

#### (問題点を解決するための手段)

上記の目的は特許請求の範囲の項に記された本発明の方法によって達成されるが、後出の第2図及び実施例に従って発明を要約すると、S1基板1上のS1O<sub>2</sub>層2にコンタクトホール5を穿孔し、孔壁に高融点金属のシリサイド4を選択的に被覆してA1膜3をスペッタリングで堆積するものである。

る。

また、A1を直接S1にコンタクトさせるとS1の吸い上げが起こるので、これを防止するためA1に代えてA1-S1合金を使用することも行われているが、この変更では被覆性が改善されることはない。反対に合金中の過剰S1がコンタクト部分で析出し、これがA1を含む型であるため、コンタクト抵抗の増加をもたらす。この現象はS1の固相成長と呼ばれている。

コンタクトホールを導電体で充填する技術には、例えばタングステンの道陥成長を利用するものがたり、これはホール底部にS1層が露出していることを利用して、その上に優先的にタングステンを堆積するもので、断線防止には有効であるが、工程数の増加を伴うばかりでなく、処理時間が長いことも弱点である。

コンタクトホールを漏斗型に形成するには等方性エッティングと異方性エッティングを組み合わせて処理することが必要であり、当然のことながら工程数が増加する。ホールの断面形状をより好まし

#### (作用)

コンタクトホール側壁の高融点金属成いはそのシリサイドは底面に接して存在するため、ホール内に堆積するA1層に深い部分が生じても、更には最悪の場合不連続部が出来しても、この高融点金属成いはそのシリサイド層の厚みだけの導電体は存在することになり、またS1とのコンタクトもシリサイド層によるものが確保されている。

#### (実施例)

第1図は本発明によって形成されたコンタクト電極の形状を示す模式断面図であり、第2図(i)~(iv)は本発明の工程を示す模式断面図である。第1図のコンタクト電極の特徴は製造工程の説明によって明らかになるので、以下、第2図を参照しながら本発明を説明する。

図2では、S1基板1の裏面にCVD法によつて約1μmの厚さのS1O<sub>2</sub>層2が堆積されており、コンタクト電極形成位置にコンタクトホール5が開けられている。

特開昭62-213120 (3)

次いで図に示すように、CVD法あるいはPVD法によってシリサイド層4を増殖する。このシリサイドはMo, W等の高融点金属のシリサイドであるが、高融点金属の单体成いは合金であってもよい。CVD法による場合は、減圧CVDのようには被覆性の良い方法によるのが望ましい。

この状態のSi基板面に電気系ガス雰囲気でRIE処理を施し、同図に示すようにホールの側壁にシリサイド層4が残された状態とする。RIEは異方性で、基板に垂直な方向にのみエッチングが進行するので、垂直方向の厚さが大である部分が残され、図のような形になる。

このRIE工程は、素子の形成に不都合な部分のシリサイドを基板表面から除去するために行うので、孔壁以外の部分、例えば孔底、にシリサイドが残留していても差支えない。また、RIE処理によってシリサイドの肩の部分が丸められるが、これは次の工程でA1の被覆性を改善するのに役立つ。

以上の工程を終えた後、配線層である厚さ約1

ホール充填法やコンタクトホール整形法に比べて僅かである。

#### (発明の効果)

以上説明したように、本発明によれば、工程数を僅かに増加するだけで良好なコンタクト電極が形成され、断線やコンタクト抵抗の増大といった問題は解決される。

#### 4. 図面の簡単な説明

第1図は本発明によって形成されたコンタクト電極の形状を示す模式断面図。

第2図(a)～(d)は本発明の工程を示す模式断面図。

第3図は従来技術によって形成されたコンタクト電極の形状を示す模式断面図である。

図において、

1はSi基板、

2はSiO<sub>2</sub>、

3はA1層、

4はシリサイド、

図のA1層3をスパッタリングにより形成する。この材料はAl-Si合金であっても良い。この状態が第3図に示されており、该図は第1図と同一である。

A1のスパッタリングによってコンタクト電極を形成する際に問題となる被覆性の悪さは、本発明ではシリサイド層の存在によって補われている。即ち、第3図で指摘されたA1の球化は本発明でも同様に発生するが、A1層に並列にシリサイド層が存在するので、仮令この部分でA1層が不連続になってしまって電気的接続は残り、無接続部を不良品とすることはない。さらにSi基板とのコンタクトでは、シリサイドによるオーミックコンタクトが形成されているので、コンタクトがとれないという事態は生じない。

Siの回相成長についても、A1を使用する場合は問題ないが、Al-Si合金を使用する場合にも、シリサイドが存在するためSiの折出は起こり難くなっている。

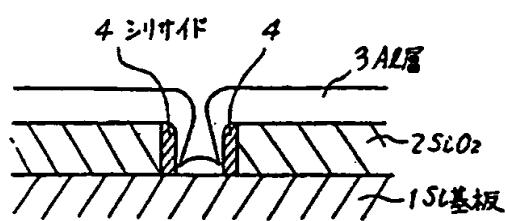
本発明の方法では、工程数の増加はコンタクト

5はコンタクトホールである。

代理人弁理士井桁貞一

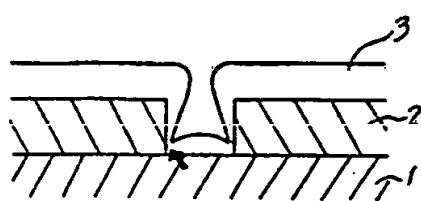


特開昭62-213120 (4)



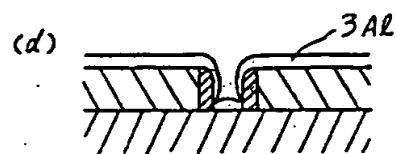
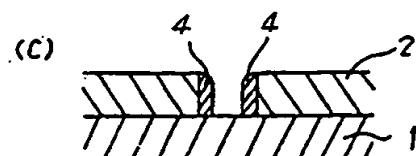
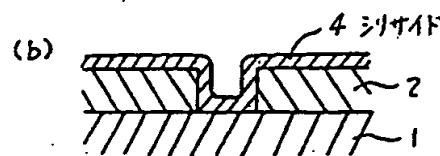
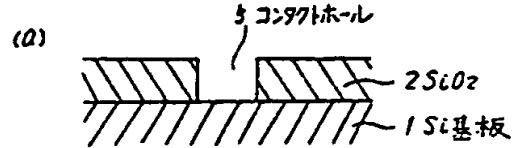
本発明によって形成されたコンタクト電極の形態を示す模式断面図

第 1 図



従来技術によって形成されたコンタクト電極の形態を示す模式断面図

第 3 図



本発明の工程を示す模式断面図

第 2 図